

Najważniejsze usprawnienia w architekturze komputerów

- koncepcja rodziny (IBM 360, PDP-8), kompatybilność architektury, skalowalność
- mikroprogramowalna jednostka sterująca (IBM linia 360, 1964)
- pamięć podręczna (model 85 IBM S/360, 1968); znaczące poprawienie wydajności
- przetwarzanie potokowe
- zwielokrotnione strumienie, multiplekser (IBM 370/168)
- pobieranie docelowego rozkazu z wyprzedzeniem (IBM 360/91), bufor pętli (CDC 6600, CRAY-1)
- przewidywanie rozgałęzienia (VAX 11/780, 10/1977)
- wieloprocessorowość
- architektura o zredukowanej liczbie rozkazów (RISC)

jednoprogramowy

IA32

wbudowana
pamięć
podręczna

Architektura współczesnych komputerów

Ewolucja mikroprocesorów firmy Intel

parametr	8008	8080	8086	80386	80486
rok wprowadzenia	1972	1974	1978	1985	1989
liczba rozkazów	66	111	133	154	235
szerokość szyny adresowej	14	16	20	32	32
szerokość szyny danych	8	8	16	32	32
liczba rejestrów	8	8	16	8	8
adresowalność pamięci	16KB	64KB	1MB	4GB	4GB
szerokość pasma magistrali (MB/s)	-	0.75	5	32	32
czas dodawania rejestr-rejestr (μ s)	-	1.3	0.3	0.125	0.06

Mikroprocesory firmy Intel ¹

parametr	286	386	486	Pentium	P6
początek projektowania	1978	1982	1986	1989	1990
rok wprowadzenia	1982	1985	1989	1993	1995
liczba tranzystorów	130K	275K	1.2M	3.1M	5.5M
szybkość (MIPS)	1	5	20	100	150

¹W.Stallings, *Organizacja i architektura systemu komputerowego*, WNT, Warszawa, 2000.

wieloprogramowość

superskalarność
wieloprocessorowość

Prawo Moore'a (1965)

Gordon Moore – założyciel i wiceprezydent firmy Intel

Sformułowanie I:

Liczba tranzystorów, które można zmieścić na jednym calu kwadratowym płytki krzemowej podwaja się co 12 miesięcy.

Sformułowanie II:

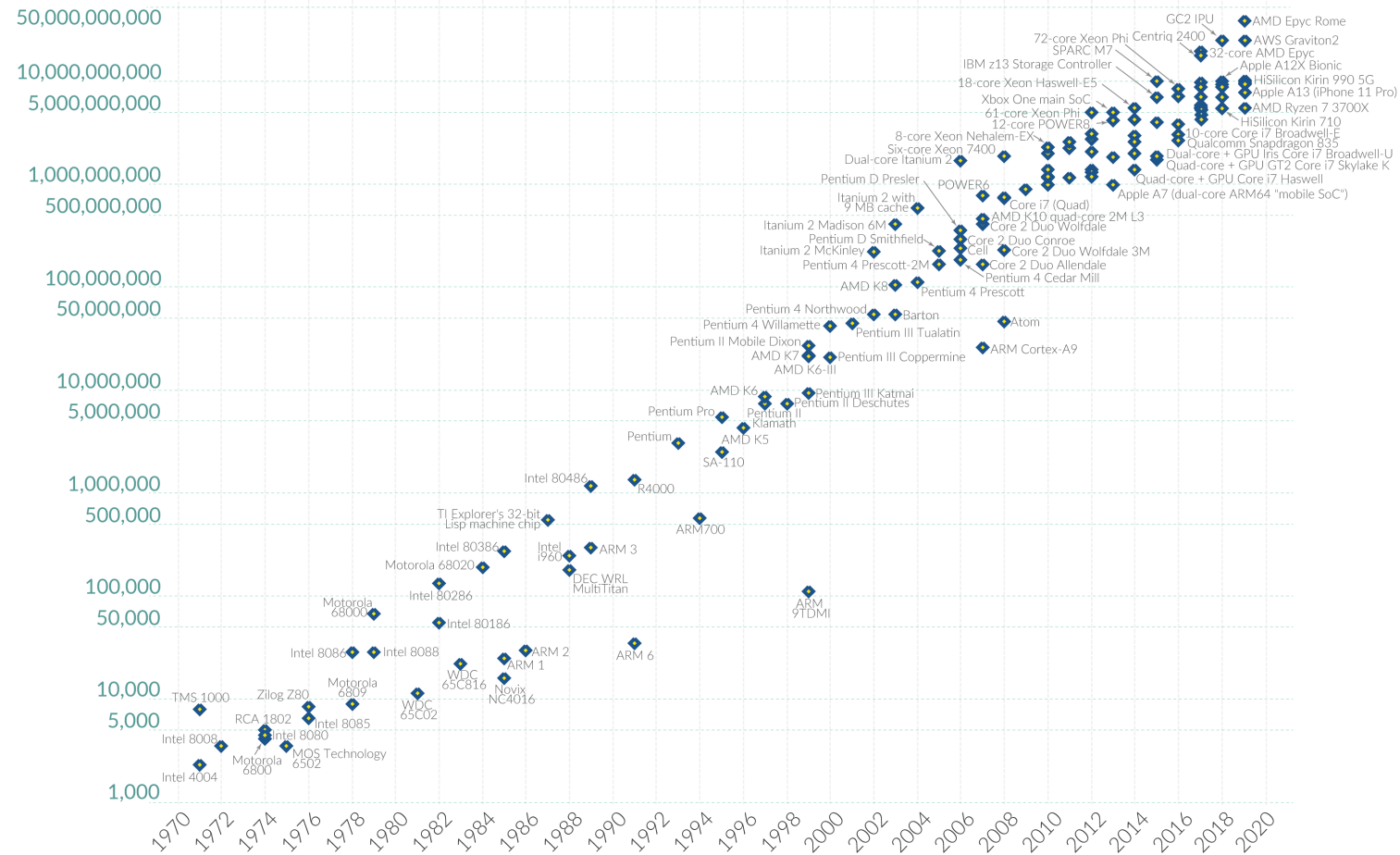
Liczba tranzystorów (na jednostce powierzchni płytki krzemowej), która prowadzi do najmniejszych kosztów na jeden tranzystor, podwaja się w przybliżeniu co 12 miesięcy.

Sformułowanie III:

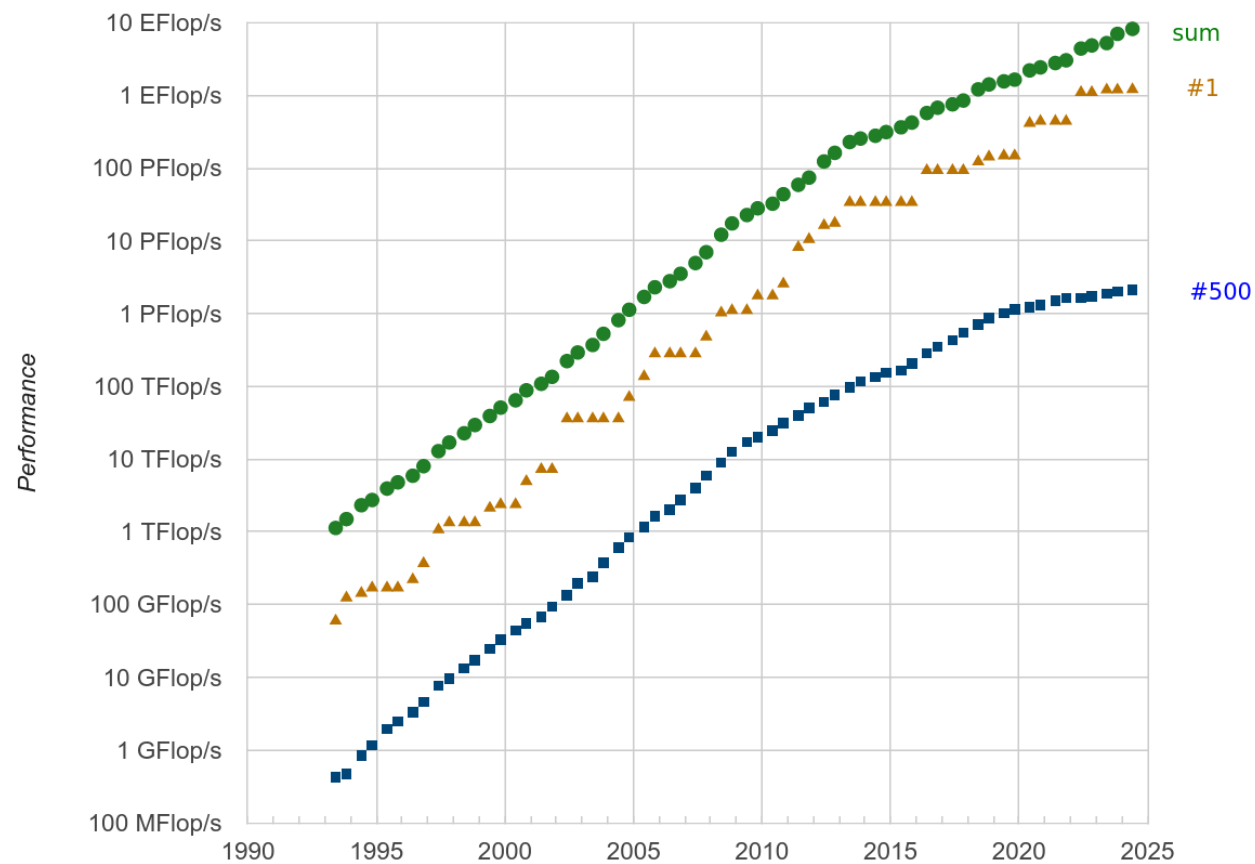
Wydajność systemów komputerów ulega podwojeniu co około 18 miesięcy.

Prawo Moore'a

Transistor count



TOP500: wzrost wydajności superkomputerów



Architektura współczesnego procesora

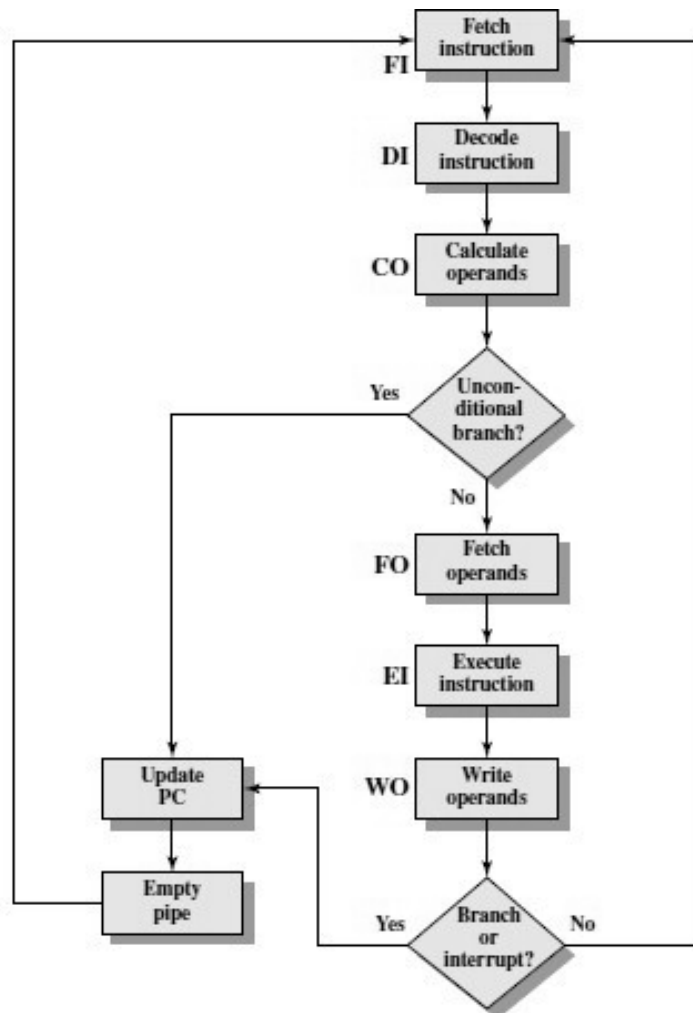
- przetwarzanie potokowe
- superskalarność
- przewidywanie rozgałęzienia (*branch prediction*), spekulatywne wykonywanie rozkazów
- analiza przepływu danych, tj. badanie zależności między rozkazami i wykonywanie ich nawet w kolejności innej niż w programie, aby zmniejszyć opóźnienia
- hiperwątkowość (*hyper-threading*)
- instrukcje SIMD (*Single Instruction Multiple Data*): MMX (*MultiMedia Extensions*), SSE (*Streaming SIMD Extensions*), AMD 3DNow (*3D NO Waiting*)
- wielordzeniowość
- wirtualizacja: Intel VT (vmx), AMD V (svm)
- GPGPU (*General-Purpose Graphical Processor Unit*)²

²CUDA ZONE http://www.nvidia.com/object/cuda_home.html

Processor

- rejestry
 - rejestry ogólnego zastosowania (x86: EAX, EBX, ECX, EDX)
 - licznik programu (PC)
 - wskaźnik bazowy (base pointer) (x86: EBP)
 - wskaźnik stosu (x86: ESP)
- słowo statusu programu (PSW *program status word*)
 - wyniki instrukcji warunkowych, flagi, bity kontrolne, stan systemu
 - tryb ochrony (tryb jądra, użytkownika)
- potok instrukcji

Przetwarzanie rozkazów



FI: pobierz następną instrukcję do bufora

DI: dekodowanie instrukcji, określ kod operacji i specyfikację argumentów

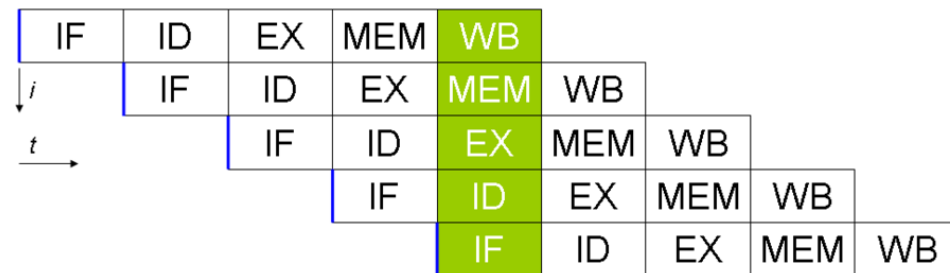
CO: oblicz efektywny adres danych źródłowych

FO: pobierz dane z pamięci jeżeli nie ma ich w rejestrach

EI: wykonaj instrukcję

WO: zapisz wynik w pamięci

Przetwarzanie potokowe



Klasyczny potok RISC:

IF=Instruction Fetch

ID=Instruction Decode

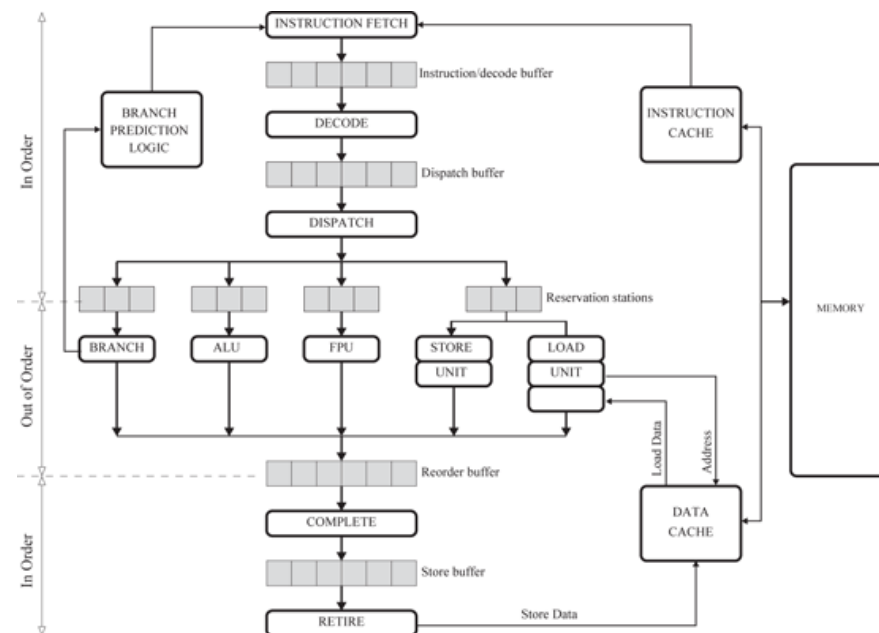
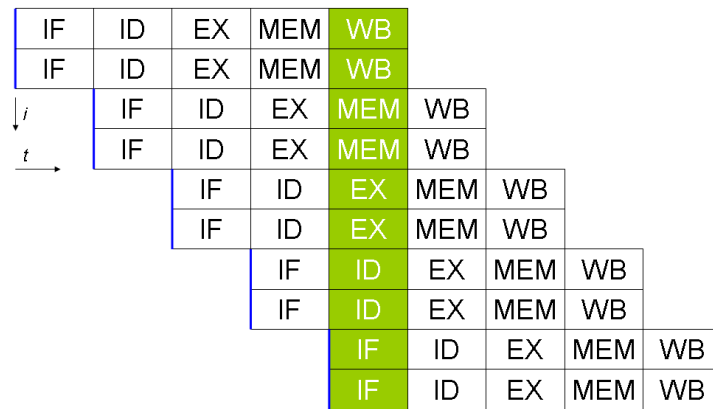
EX=Execute

MEM=Memory access

WB=Register write back

- podział rozkazu na wyspecjalizowane etapy
- dzięki podziałowi, różne instrukcje mogą być wykonywane równocześnie
- lepsza wydajność: zwiększenie liczby instrukcji wykonywanych w jednostce czasu
- problem z rozgałęzieniami (instrukcja skoku) i konflikty w dostępie do zasobów

Superskalarność



- zrównoleglenie wykonania rozkazów w obrębie jednego procesora poprzez zwielokrotnienie skalarnych jednostek wykonawczych
- w jednym cyklu procesora wykonywane jest wiele instrukcji
- wykonanie poza kolejnością (*out-of-order*) instrukcji z bufora w celu zmaksymalizowania użycia CPU

Ryzyka przetwarzania potokowego

Zatory w potoku poleceń pojawiają się, gdy instrukcje warunkowe nie pozwalają na sekwencyjne wykonanie instrukcji.

Możliwe ryzyka wykonania kodu poza kolejnością:

- **strukturalne** - gdy instrukcje w potoku nie mogą być wykonane równocześnie
- **danych** - gdy instrukcje korzystają z tych samych danych i wynik zależy od kolejności operacji
- **sterowania** - wykonanie instrukcji po rozwidleniu ale przed wykonaniem instrukcji warunkowej. Instrukcje z błędnej ścieżki muszą zostać odrzucone z potoku.

Ryzyka przetwarzania potokowego

Jak rodzić sobie z konfliktami:

- wykonywanie instrukcji obu ścieżek jednocześnie
- przewidywanie rozgałęzień (np. na podstawie statystyki poprzednich wykonań). Kod jest spekulatywnie wykonywany. W przypadku błędnej predykcji efekt tego wykonania jest odrzucany
- *brakch-free-code* technika programowania z minimalizowaniem rozgałęzień kodu
- bufor pętli - mała, bardzo szybka pamięć podręczna dla etapu pobierania (FI), jeśli wystąpi rozgałęzienie, sprzęt najpierw sprawdza, czy cel rozgałęzienia znajduje się w buforze pętli
- opóźnianie rozgałęzień - zmiana kolejności instrukcji tak aby instrukcje warunkowe można było wykonać jak najpóźniej

Własności procesorów CISC, RISC, superskalarnych (SS)

	CISC		RISC		SS	
	(a)	(b)	(c)	(d)	(e)	(f)
rok powstania	1978	1989	1988	1991	1990	1989
liczba rozkazów	303	235	51	94	184	62
rozmiar rozkazu [B]	2-57	1-11	4	32	4	4,8
tryby adresowania	22	22	3	1	2	11
liczba rejestrów	16	8	32	32	32	23-256
cache [KB]	64	8	16	128	32-64	0.5

(a) VAX 11/780, (b) Intel 80486, (c) Motorola 88000 (d) MIPS R4000, (e) IBM RS 6000, (f) Intel 80960

CISC (*Complex Instruction Set Computer*)

komputer o pełnej liście rozkazów

RISC (*Reduced Instruction Set Computer*)

komputer o zredukowanej liście rozkazów

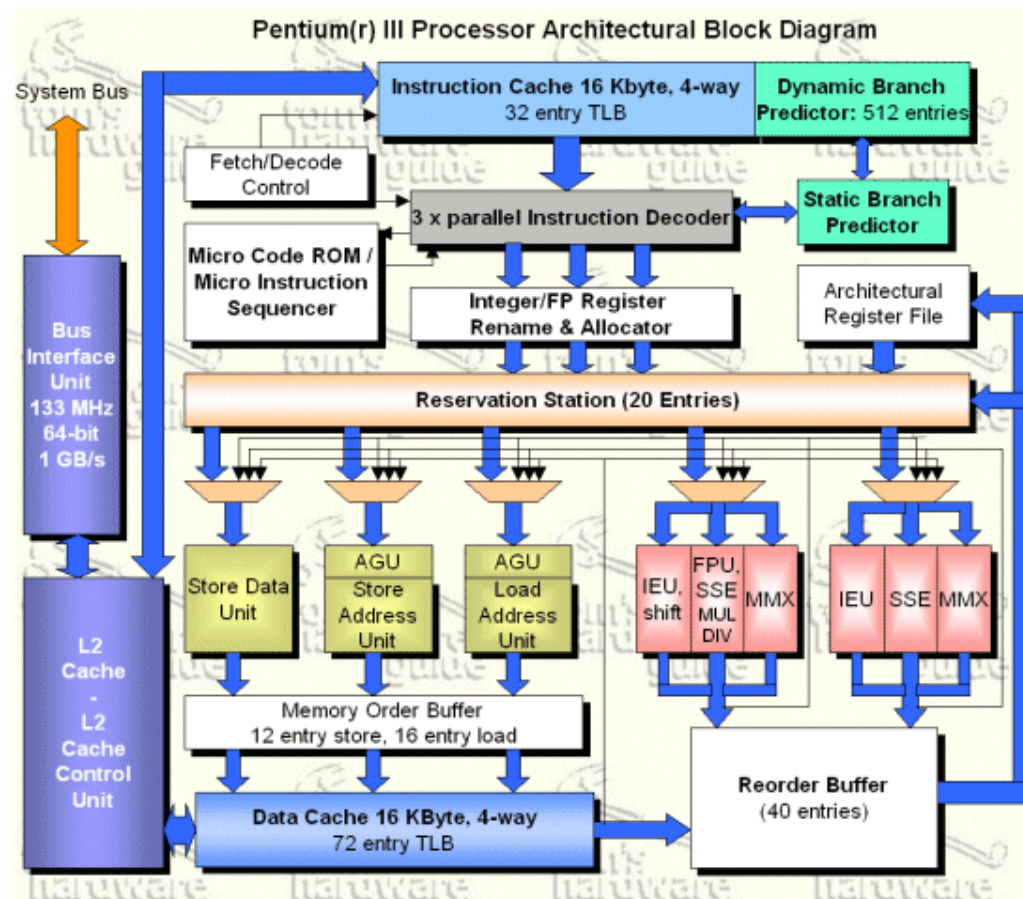
CISC (*Complex Instruction Set Computer*) komputer o pełnej liście rozkazów

- duża liczba rozkazów (100-200 instrukcji)
- złożone, wyspecjalizowane rozkazy
- wykonanie rozkazów wymaga dużej liczby cykli zegara
- duża liczba trybów adresowania (5-20)
- mikroprogramująca jednostka sterująca (ROM)

RISC (*Reduced Instruction Set Computer*) komputer o zredukowanej liście rozkazów

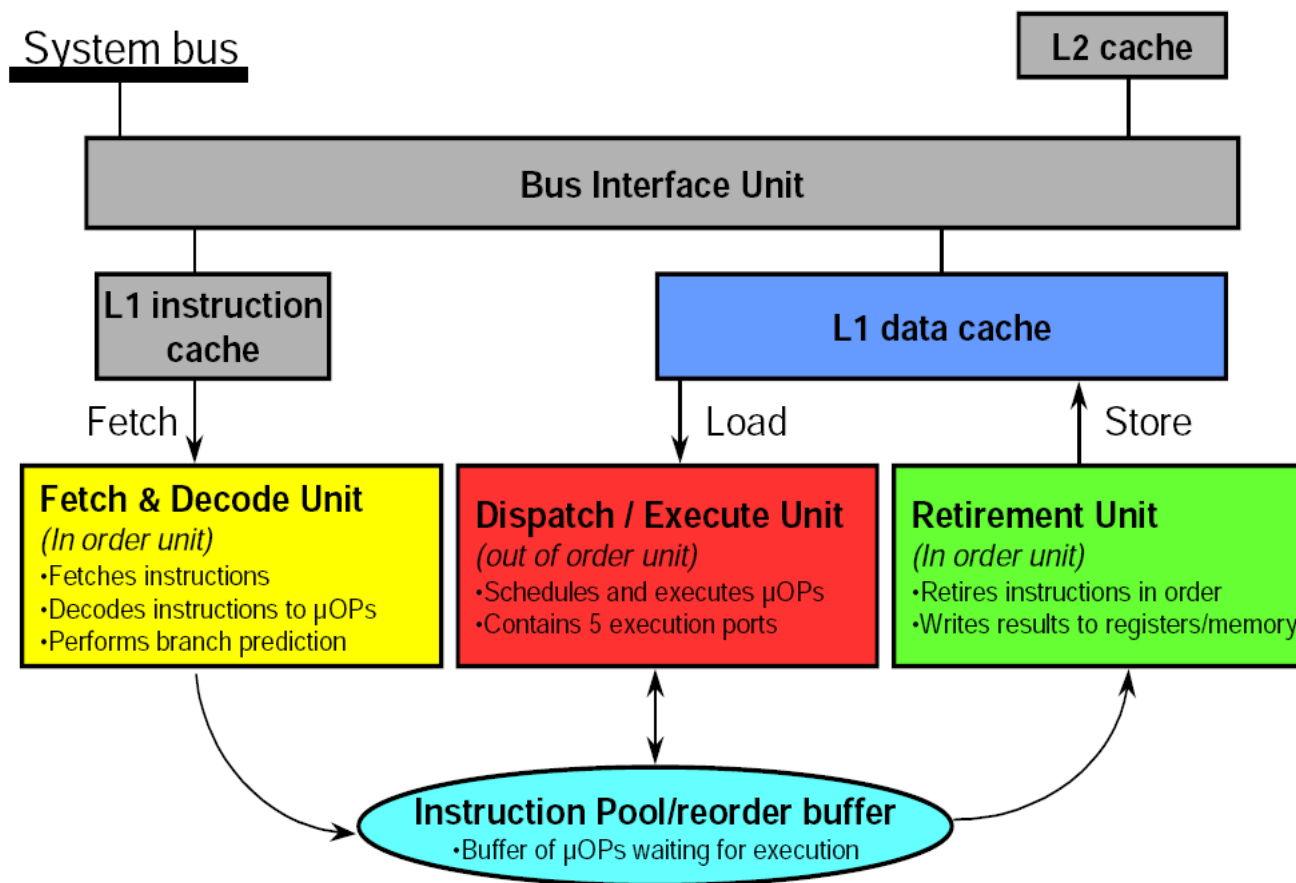
- zredukowany (mały) zestaw instrukcji (kilkadziesiąt)
- instrukcje wykonywane w pojedynczym cyklu zegara
- redukcja trybów adresowania
- rozkazy stałej długości (32 bity)
- ograniczenie odwołań do pamięci
- zwykle większa liczba rejestrów
- jednostka sterująca realizowana układowo
- prostsza architektura, ułatwia projektowanie procesorów

Obecnie architektura mieszana - złożone instrukcje rozkładane są na prostsze (μ OPS)



Zmodyfikowana architektura harwardzka architektura mieszana, łączy w cechy architektury harwardzkiej i architektury von Neumanna. Oddzielone obszary pamięci na dane i rozkazy.

Pentium II and Pentium III Processors Architecture



Pamięć: rodzaje, własności

- szybki rozwój pojemności pamięci i szybkości procesorów
- wolniejszy przyrost szybkości przesyłania danych pomiędzy procesorem i pamięcią

Interfejs pomiędzy pamięcią główną a procesorem jest najbardziej krytycznym elementem całego komputera, ponieważ jest on odpowiedzialny za przepływ rozkazów i danych pomiędzy tymi układami.

Jeśli dostęp do pamięci jest niewystarczający, to cykle procesora są marnowane (**głodzenie procesora**).

Wymagania dotyczące pamięci: niska cena, duża pojemność, szybkość działania (porównywalna z szybkością CPU)

Hierarchia pamięci:

- rejestry (SRAM)
- pamięć podręczna, cache (SRAM)
- pamięć główna (MCDRAM, DRAM, NVRAM, NVDIMM)
- pamięć dyskowa (HDD, SDD)
- pamięć taśmowa, dyski optyczne

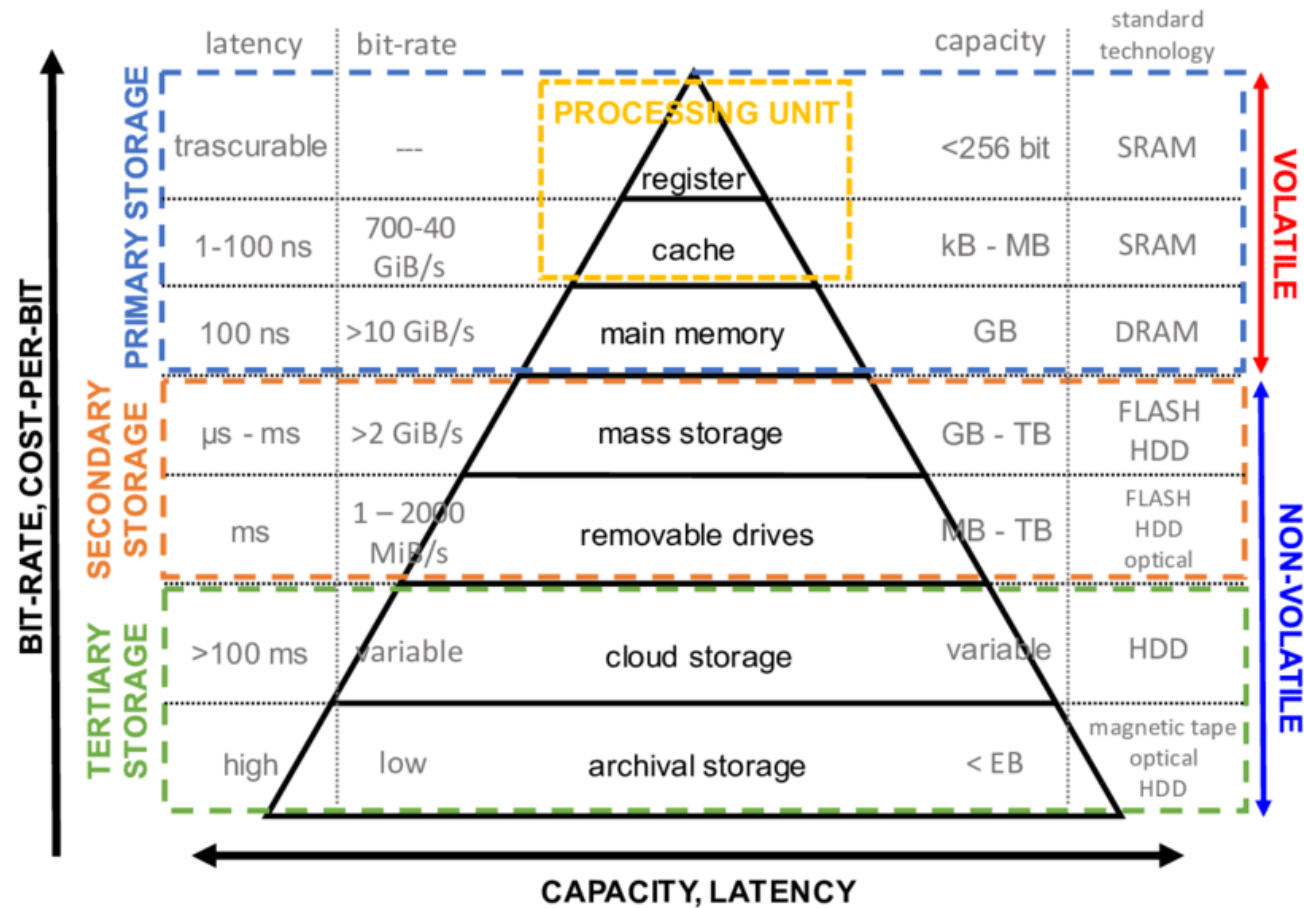
Koszt trafienia/chybień (w cyklach) dla procesora Pentium M:

rejestr	≤ 1
L1d	≈ 3
L2	≈ 14
pamięć główna	≈ 240

Zob.: [Interactive latency](#)

```
$ curl cheat.sh/latencies
```

Hierarchia pamięci³



³E. Gemo, *The design and analysis of novel integrated phase-change photonic memory and computing devices*, 2021

Hierarchia pamięci

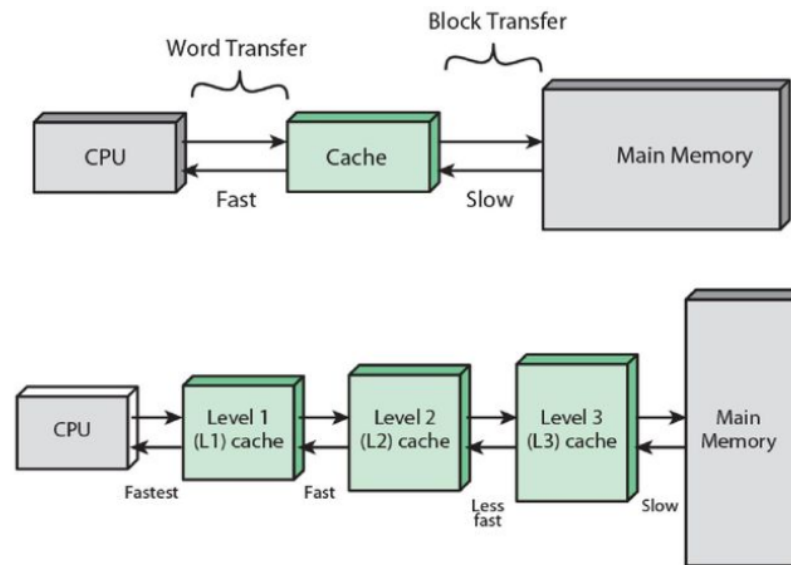
Im niżej w hierarchi od CPU

- malejąca cena/bit
- rosnąca pojemność
- rosnący czas dostępu
- malejąca częstość dostępu przez procesor

Rodzaj dostępu do pamięci:

- dostęp sekwencyjny
 - odczyt/zapis wyłącznie w określonej sekwencji liniowej (np. pamięć taśmowa)
 - czas dostępu zależy od położenia danych
- dostęp swobodny
 - pozycja w pamięci dostępna za pomocą unikatowego adresu (pamięć RAM)
 - czas dostępu stały, nie zależy od lokalizacji danych
- dostęp bezpośredni
 - pamięć podzielona na bloki (lub rekordy) o unikatowych adresach (np. pamięć dyskowa)
 - najpierw dostęp (swobodny) do najbliższego otoczenia (wybór bloku) a potem poszukiwanie loacji końcowej (sekwencyjne)
- dostęp skojarzeniowy
 - rodzaj dostępu swobodnego, który umożliwia porównywanie i specyficzne badanie zgodności wybranych bitów wewnątrz słowa (zachodzi to dla wszystkich słów jednocześnie)
 - słowo jest wyprowadzane na podstawie części swojej zawartości, a nie na podstawie adresu (zastosowanie: pamięć podręczna procesora)
 - stały czas dostępu

Pamięć podręczna



- przechowuje kopie fragmentu pamięci głównej
- procesor najpierw sprawdzana obecność danych w pamięci podręcznej
- jeśli brakuje (chybienie), to wczytywany jest blok pamięci głównej

Lokalność przestrzenna

- tendencja do częstych odwołań do danych położonych blisko siebie w pamięci
- takie dane mają szansę trafić do tego samego bloku w pamięci podręcznej

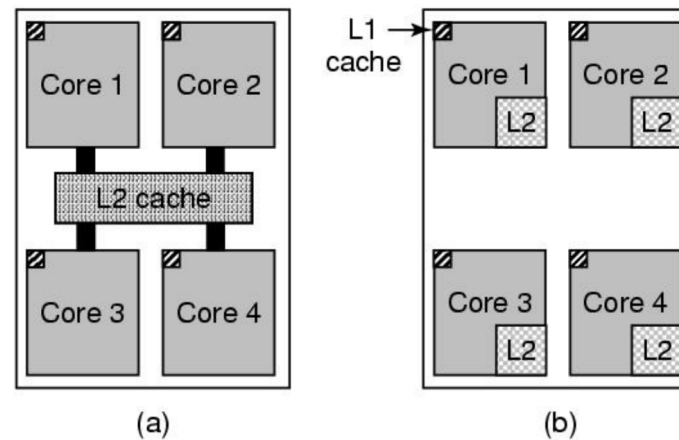
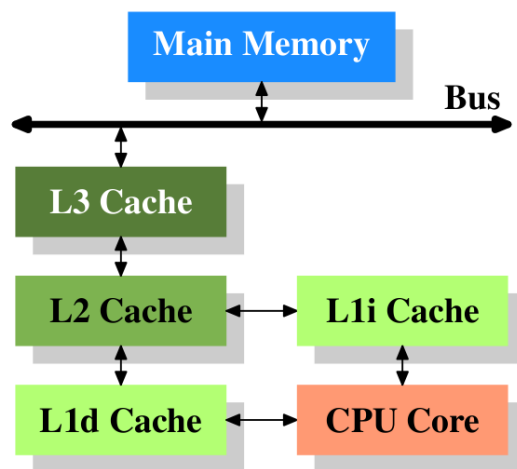
Lokalność czasowa

- tendencja do częstych odwołań do tych samych danych w krótkich odstępach czasu
- dane często wykorzystywane mają szansę pozostać w pamięci podręcznej pomiędzy rządzeniami

Procesor i pamięć

Architektura jednoprocessorowa

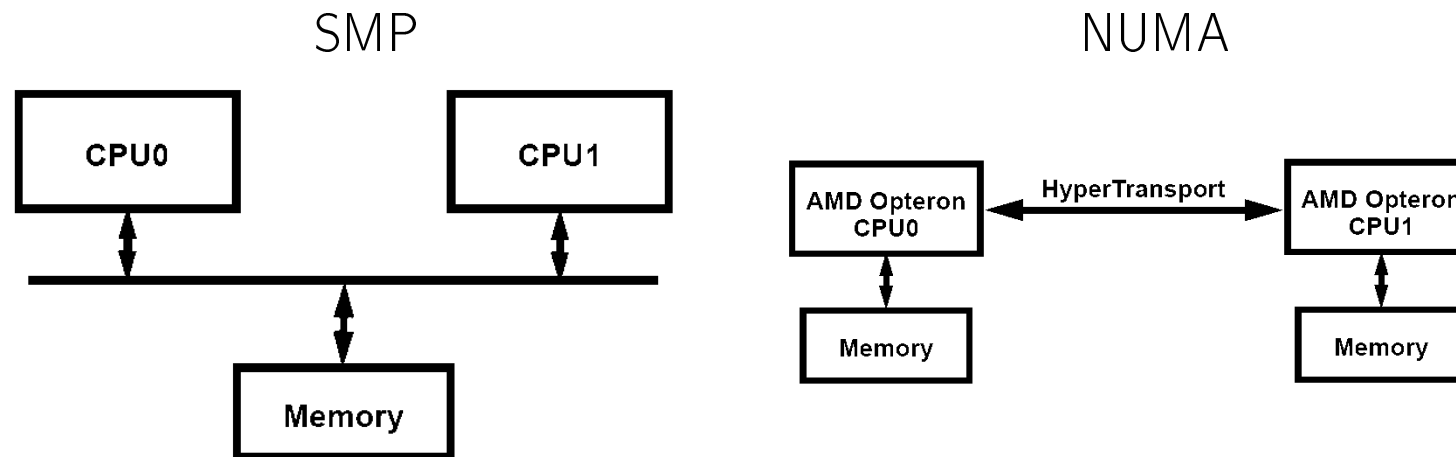
Architektura wieloprocessorowa



a) współdzielony L2 przez 4 procesory

b) niezależne L1 i L2 w układzie 4 procesorów

Procesor i pamięć



Wieloprocessorowość symetryczna

SMP *Symmetric Multiprocessing*

Niejednolity dostęp do pamięci

NUMA (*Non-Uniform Memory Access*)

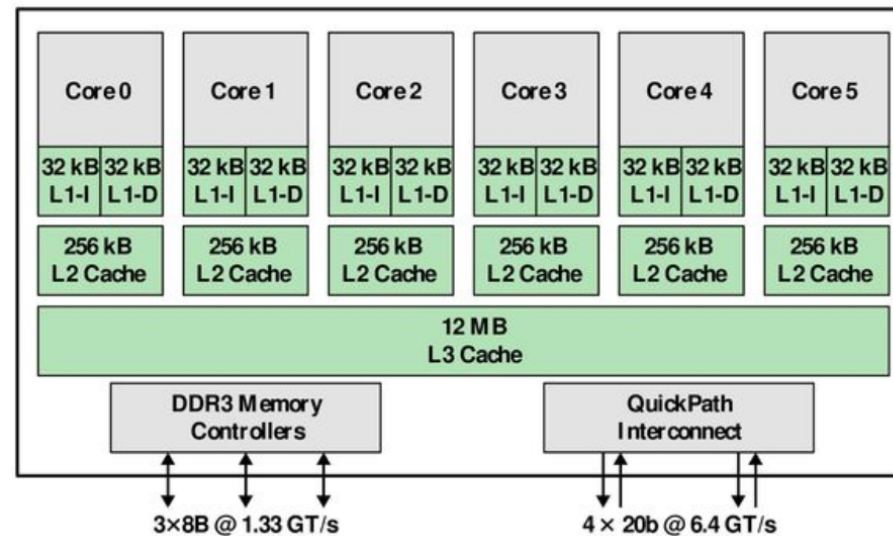
SMP

- procesory współdzielą zasoby pamięci oraz urządzenia wejścia/wyjścia przy pomocy magistrali systemowej
- każdy z procesorów może zostać przypisany do wykonywania konkretnego zadania, tak aby w systemie następowało równoważenie obciążenia (ang. load balancing)
- przepustowość szyny i pamięci ogranicza szybkość działania procesorów

NUMA

- minimalizacja opóźnień dostępu do pamięci poprzez przydzielenie pamięci lokalnej dla każdego procesora
- każdy procesor posiada własny kontroler pamięci lokalnej
- procesory łączone między sobą za pomocą szyny o dużej przepustowości i niskich opóźnieniach (HyperTransport), która nie ma bezpośredniego połączenia z układem pamięci
- wydłużony czas dostępu do pamięci zdalnej (połączonej z innym procesorem)
- wymaga właściwej organizacji danych w pamięci aby zapewnić efektywność

Architektury wieloprocessorowe



Rysunek 1: Intel Core-i7 990X

- wiele procesorów (rdzeni) na jednej kości
- każdy rdzeń posiada jednostkę wykonawczą, rejestry, lokalną pamięć podręczną
- rdzenie współdzielą pamięć L3
- rdzenie mogą być wielwątkowe

Rodzaje pamięci półprzewodnikowych:

RAM (*Random Access Memory*) pamięć o dostępie swobodnym – odczyt-zapis, wymazywanie/zapisywanie elektryczne na poziomie bajta

Static RAM (SRAM) - statyczna pamięć o dostępie swobodnym

- rejestry i pamięć podręczna
- ulotna, przechowuje dane tak długo, jak długo włączone jest zasilanie
- każdy bit przechowywany w układzie zbudowanym z 6 transystorów (mniejsza gęstość danych niż DRAM)

Dynamic RAM (DRAM) - pamięć dynamiczna

- pamięć główna komputera
- ulotna, wymaga okresowego odświeżania zawartości

Pamięci dynamiczne

Synchronous DRAM (SDRAM) - pamięć dynamiczna pracująca synchronicznie z magistralą systemową

	napięcie	pojemność	przepustowość	rok
<i>single data rate</i>				
SDR SDRAM	3.3 V	512 MB	533-1066 MB/s	1996
<i>double data rate</i>				
DDR SDRAM:	2.5 V	1 GB	1.6-3.2 GB/s	2000
DDR2 SDRAM	1.8 V	4 GB	3.2-6.4 GB/s	2003
DDR3 SDRAM	1.5 V	8 GB	6.4-19.2 GB/s	2007
DDR4 SDRAM	1.2 V	16 GB	12.8-25.6 GB/s	2012
DDR5 SDRAM	1.1 V	64 GB	25.6-64 GB/s	2020

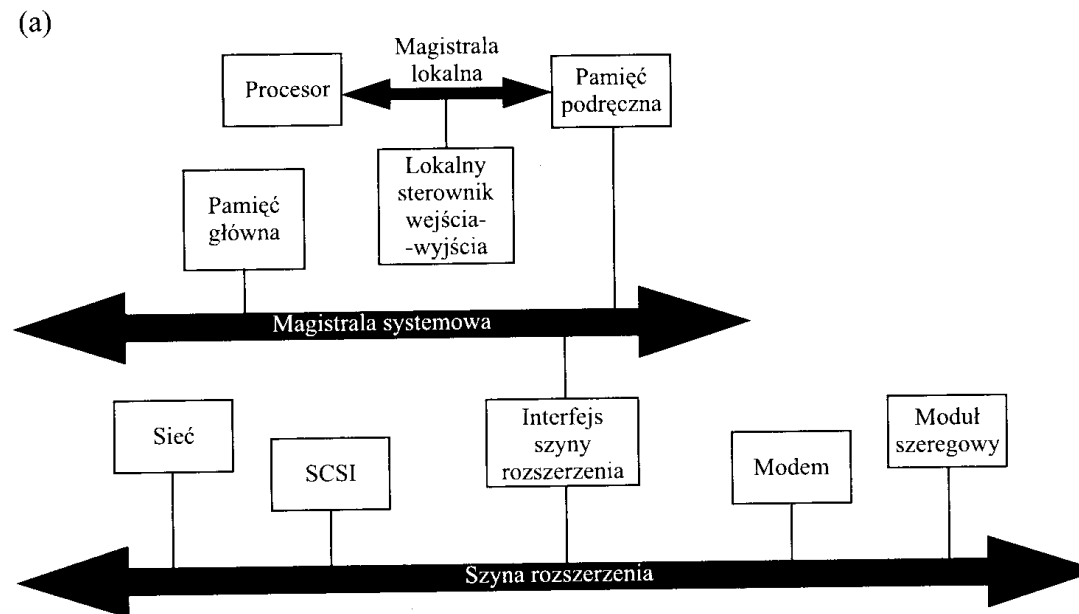
$$\text{moc} = \text{pojemność} \times \text{napięcie}^2 \times \text{częstotliwość}$$

Rodzaje pamięci półprzewodnikowych nieulotnych

- **ROM** (*Read-Only Memory*) pamięć stała – tylko odczyt, zapisywanie w trakcie produkcji
- **PROM** (*Programmable ROM*) programowalna pamięć jednokrotnego zapisu
- **EPROM** (*Erasable and Programmable ROM*) wymazywalna i programowalna pamięć stała – głównie odczyt, wymazywanie światłem UV, zapisywanie elektryczne
- **pamięć błyskawiczna** (*flash memory*) – wymazywanie elektryczne na poziomie bloku (256 B-16 KB), zapisywanie elektryczne; szybki odczyt, wolniejszy zapis (SSD, pamięci USB, karty pamięci MC, MMC, SM)
- **NVRAM** (*Non-Volatile RAM*) – pamięć typu SRAM/DRAM z baterią podtrzymującą zawartość po odłączeniu zasilania (zastosowanie BIOS)⁴
- **NVDIMM** (*Non-Volatile Dual In-line Memory Module*) – pamięć typu DRAM powiązana z układami pamięci błyskawicznej, co pozwala zachować zawartość pamięci ulotnej po awarii zasilania

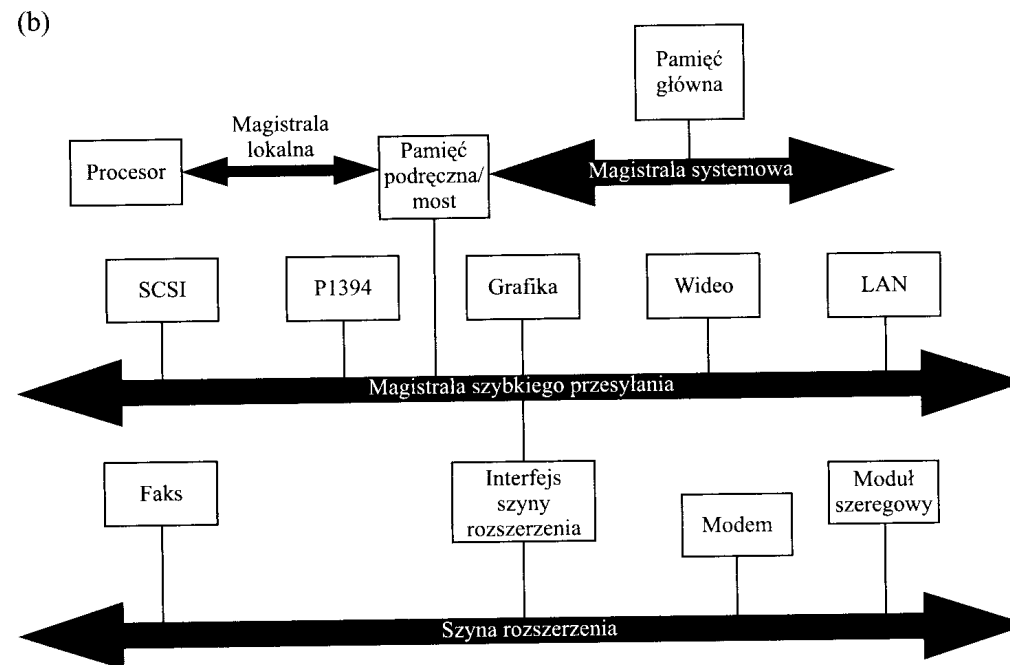
⁴Także EEPROM (*Electrically Erasable and Programmable ROM*) wymazywalna i programowalna pamięć stała (na poziomie bajtu) – głównie odczyt, wymazywanie/zapisywanie elektryczne; szybki odczyt, wolny zapis.

Magistrale (szyny) systemowe



- komunikacja między szyną systemową i szyną rozszerzenia może następować bez angażowania CPU

Magistrale (szyny) systemowe



- hierarchiczna magistrala o wysokiej wydajności
- urządzenia o większych wymaganiach są bliżej CPU

Magistrala (E)ISA

ISA (*Industry Standard Architecture*, IBM 1980) architektura standardu przemysłowego

- 8 MHz, szerokość 8 lub 16 bitów, przepustowość 8 MB/s
- często wymagała ręcznej konfiguracji IRQ, adresów I/O oraz kanału DMA

EISA (*Extended ISA*, Gang of Nine 1989) rozszerzona architektura standardu przemysłowego

- 8 MHz, szerokość 32-bity, przepustowość 33 MB/s
- do 4 GB RAM
- *Plug and Play*, przez problemy z konfliktami IRQ nazywany *plug and pray*

Magistrala PCI

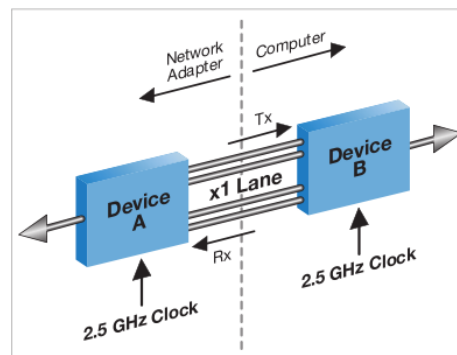
PCI (*Peripheral Component Interconnect*) interfejs komponentów peryferyjnych:

- 32/64-bitowa szyna rozszerzeń dla komputerów zgodnych z IBM PC oraz Macintosh
- opracowana przez firmę Intel w 1992 r. (mikroprocesor Pentium)
- obsługuje standard podłącz i używaj (PnP, *Plug and Play*)
- szyna równoległa, synchroniczna z zegarem
- każde urządzenie na osobnej szynie z osobnym adresem
- autokonfiguracja, system odpytuje PCI przy starcie o dostępne urządzenia

Magistrala PCI Express

- szyna szeregowowa o pełnym duplexie
- 1, 2, 4, 8 lub 16 linii
- połączenie Point-to-Point (podobnie jak HyperTransport) pozwalające na przesyłanie danych z dużą prędkością i instalację kart rozszerzeń na płycie głównej
- każde urządzenie jest połączone bezpośrednio z kontrolerem
- zastępuje PCI i AGP (Advanced Graphics Port, PCI dla kart graficznych)

Figure 3. PCI Express* x1 lane. A lane consists of two differentially driven signal pairs between two PCI Express devices (Device A and Device B).

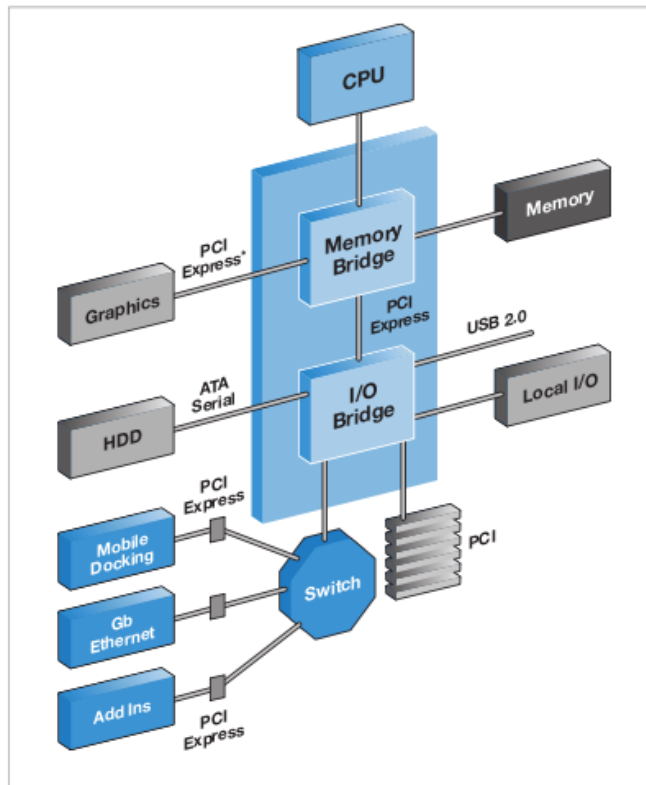


PCI i PCIe

wersja	szyna	częstotliwość	przepustowość	rok
PCI 2.0 (PCI32)	32 b	33.33 MHz	133.3 MB/s	1993
PCI 2.1 (PCI64)	64 b	33.33 MHz	266.6 MB/s	1994
PCI 2.2	32 b	66.66 MHz	266.6 MB/s	1999
PCI 2.3	64 b	66.66 MHz	533.3 MB/s	2002
PCI-X 1.0	64 b	133.3 MHz	1066.4 MB/s	1999
PCI-X 2.0	64 b	533.3 MHz	4266.4 MB/s	2002
PCI-X 3.0	64 b	1066.6 MHz	7.95 GB/s	2004
		przepustowość		
	kodowanie	jedenkierunkowa		
PCIe 1.0 (×1)	8b/10b	2.50 GHz	250.0 MB/s	2004
PCIe 1.0 (×16)	8b/10b	2.50 GHz	4.0 GB/s	
PCIe 2.0 (×16)	8b/10b	5.00 GHz	8.0 GB/s	2007
PCIe 3.0 (×16)	128b/130b	8.00 GHz	16 GB/s	2011
PCIe 4.0 (×16)	128b/130b	16.00 GHz	32 GB/s	2017
PCIe 5.0 (×16)	128b/130b	32.00 GHz	64 GB/s	2019
PCIe 6.0 (×16)	1b/1b (tryb Flit)	64.00 GHz	128 GB/s	2021

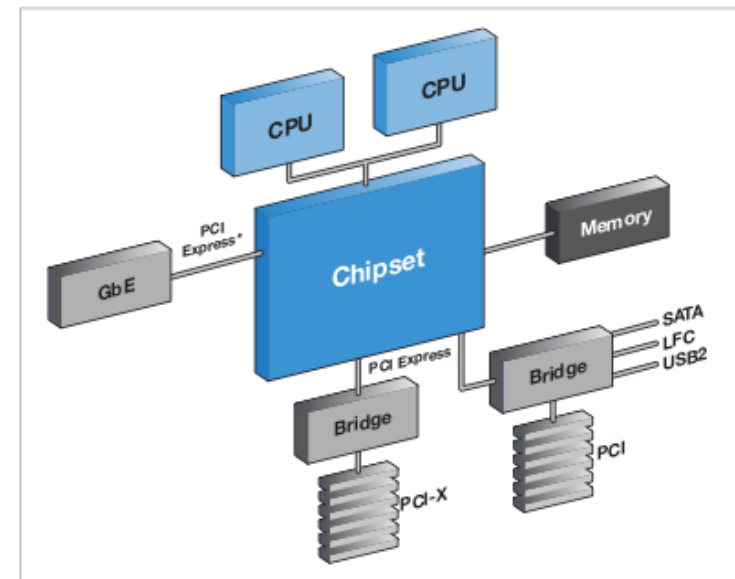
Magistrala PCI Express

Figure 4. Gigabit Ethernet to the desktop implemented through the high-speed serial I/O bus of PCI Express*.



płyta główna PC

Figure 5. Example of PCI Express* in server/workstation systems. The PCIe* switch is integrated into the chipset.



płyta główna serwera

Uniwersalna szyna szeregową (*Universal Serial Bus*, USB)

- standard szyny zewnętrznej do podłączania do komputera do 127 urządzeń peryferyjnych (jeden IRQ)
- standard opracowany w 1995 r. wspólnie przez wiodących producentów sprzętu komputerowego i telekomunikacyjnego (Compaq, DEC, IBM, Intel, Microsoft, NEC, Northern Telecom, Philips)
- wyprowadzenie funkcji PnP poza komputer, automatyczne wykrywanie sprzętu
- *hot plugging* - podłączenie nie wymaga wyłączenia zasilania
- łatwość rozmnażania portów i wydłużania połączenia poprzez zastosowanie maksymalnie pięciu koncentratorów (*USB hubs*),
- wymaga obecności dokładnie jednego kontrolera po stronie hosta (niemożliwe podłączenie dwóch komputerów)
- załączce uniwersalne: łączy drukarki, skanery, kamery wideo, dyski, stacje dyskietek, klawiatury, myszy, joysticki, telefony, modemy, itp.

Uniwersalna szyna szeregową

wersja	przepustowość		uwagi	rok
USB 1.1 low speed	1.5 Mb/s	0.1875 MB/s	półduplex, kabel 3m.	1998
full speed	12 Mb/s	1.5 MB/s		
USB 2.0 high speed	480 Mb/s	60 MB/s	kabel 5m.	2000
USB 3.0 super speed	5 Gb/s	625 MB/s	pełen duplex, kabel 3m.	2008
USB 3.1 super+ speed	10 Gb/s	1.25 GB/s		2013
USB 3.2	20 Gb/s	2.5 GB/s		2017
USB4	40 Gb/s	5.0 GB/s		2019
USB4 2.0	80 Gb/s	10.0 GB/s		2022

Interfejsy dysków: IDE/ATA

IDE (*Integrated Drive Electronics*) właściwie **ATA** (*Advanced Technology Attachment*), od 2003 – **PATA** (*Parallel ATA*)

- szyna do łączenia dysków HDD i napędów CDROM (40 pinów)
- IDE ATA-1, 1986, EIDE (*Extended IDE*), 1994
- UltraDMA (DMA-33, Ultra33, ATA-33) – od 1997 wydajność 33 MB/s (16 MB/s), najnowsze napędy CD-ROM and CD-RW
- ATA-66 (Ultra66, DMA-66) – od 1999
- ATA-100, ATA-133 – 80 pinów, przepustowość do 133 MB/s (prakt. ≈ 20 MB/s)
- ATAPI – *ATA Packet Interface* dla napędów CD, DVD, ...
- MTBF $\approx 1.2 \times 10^6$ h ⁵ (prawd. awarii dysku w czasie roku $\frac{24h \cdot 356}{MTBF} \approx 7\%$)
- zastąpiony przez SATA

Ograniczenia: każdy sterownik IDE potrzebuje IRQ i może obsłużyć 2 urządzenia wewnętrzne (*master* i *slave*); maks. dł. kabla – 475 mm

<https://itigic.com/pl/ide-ata-pata-and-atapi-interface-how-does-it-work/>

⁵MTBF (*Mean Time Between Failures*) – czas po jakim z pewnej puli urządzeń zostaje połowa sprawnych. Z 1000 dysków o MTBF 1.2×10^6 h będzie się psuł jeden co (średnio) $\frac{MTBF}{24h \cdot 1000} = 50$ dni.

Szeregowy ATA (*Serial ATA, SATA*) - najnowsza wersja IDE

- SATA I, szybkość (teor.): 150 MB/s , 2003 r.
- SATA II, 300 MB/s, (prakt.): ≈ 40 MB/s, 2004 r.
 - kolejkovanie zadań w celu minimalizacji liczby skosków głowicy
 - powielacze portów - możliwość podłączenia SATA do wielu urządzeń
 - wyznacznik portu - możliwość podłączenia dwóch portów do tego samego SATA (nadmiarowa ścieżka)
- SATA III, 600 MB/s, (prakt.) 170 MB/s, 2009 r.
- połączenia punkt-punkt
- możliwość podłączania wewnętrznych i zewnętrznych urządzeń
- CRC (*Cyclic Redundancy Check*) dla pakietów danych, rozkazów i statusu
- łatwość przyłączenia (wsparcie dla *hot swapping* - wymiana urządzenia bez rerestartu systemu)
- MTBF $\approx 2.5 \times 10^6$ h

Dyski SSD (*Solid State Drive*)

- Problem skończonej liczby cykli P/E
Żywotność współczesnych dysków jest rzędu kilkuset lat!
- SATA III 6Gbps
 - szybkość 460-560 MB/s⁶
- PCIe 4.0
 - szybkość 2500-7000 MB/s
- NVMe (*Non-Volatile Memory Express*)
specyfikacja interfejsu dla dysków SSD połączonych magistralą PCIe
 - szybkość 3000-3500 MB/s

⁶Wyznaczanie szybkości operacji dyskowych: `hdparm -tT /dev/sda`.

SCSI (*Small Computer Systems Interface*)

- równoległa magistrala dla stacji roboczych i serwerów (odpowiednik ATA w PC ale mniej obciążający CPU)
- jeden IRQ, obsługa do 16 urządzeń (w tym sterownik), łączy wielopunktowe (*multidrop*) dyski, napędy CD-ROM, napędy taśmowe (*streamer*), skanery
- maksymalna długość do 25 m, wsparcie do 16 urządzeń (Ultra SCSI)
- MTBF $\approx 1.6 \times 10^6$ h

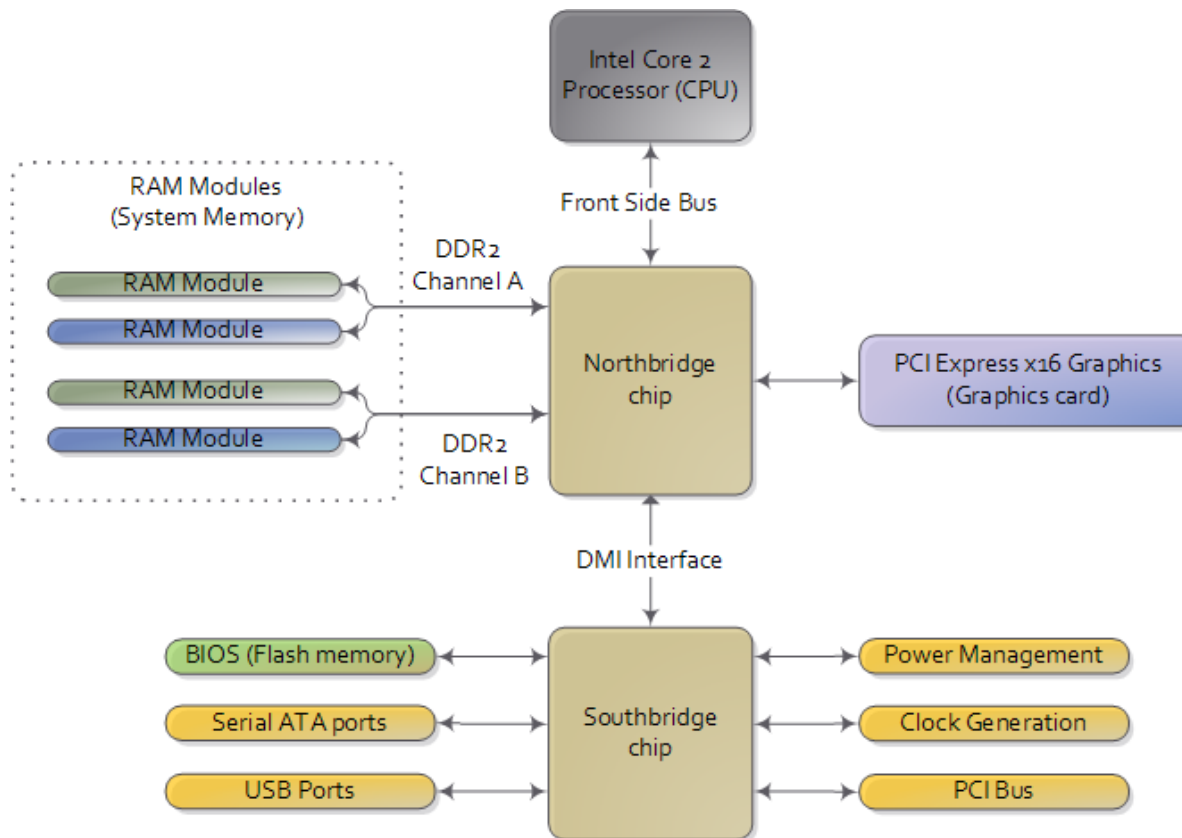
	szybkość	szer. (bity)	przepustowość	prakt.	rok
SCSI	5 MHz	8	5 MB/s	3 MB/s	1986
Fast SCSI	10 MHz	8	10 MB/s	8 MB/s	1994
Fast & Wide SCSI	10 MHz	16	20 MB/s	16 MB/s	
Ultra	20 MHz	8	20 MB/s		1996
Ultra 2	40 MHz	8	40 MB/s		1997
Ultra 160	80 MHz	16	160 MB/s	30-60 MB/s	1999
Ultra 320	160 MHz	16	320 MB/s	60-120 MB/s	2002
Ultra 640	160 MHz	16	640 MB/s		2003

SAS (*Serial Attached SCSI*)

- szeregową szyną, zastąpiła SCSI
- jeden IRQ, połączenie punkt-punkt (*initiator-target*), tryb pełnego duplexu
- zastosowanie ekspanderów (*expander*) daje możliwość podłączenia do 65535 urządzeń
- MTBF $\approx 1.6 \times 10^6$ h

	przepustowość	rok
SAS 1	3.0 Gb/s (300 MB/s)	2004
SAS 2	6.0 Gb/s (600 MB/s)	2009
SAS 3	12.0 Gb/s (1200 MB/s)	2013
SAS 4	22.5 Gb/s (2400 MB/s)	2017

Architektura płyty głównej



Chipset

- **Front Side Bus** - magistrala wyjściowa procesora
Komunikacja procesora z resztą świata:
 - adresy pamięci RAM
 - adresy I/O mapowane na adresy pamięci (Memory Mapped I/O)
 - przerwania i sygnały
- **mostek północny** - łączy CPU z urządzeniami dużej szybkości:
RAM, GPU, PCIe, Gigabit Ethernet
- **mostek południowy** - współpraca z pozostałymi urządzeniami
ICH (I/O Controller Hub) Intel, FCH (Fusion CH) AMD
- elementy chipsetu: sterownik CPU, sterownik DRAM, sterownik cache, sterownik przerwań, sterownik DMA, sterownik magistrali,
- mostek północny obecnie często zintegrowany z południowym lub nawet z CPU